

# EDA-løsning optimerer chiplayoutet til litografien

Med endimensional layoutmetode gør et californisk opstartsforetagende det nu muligt med gængs litografiteknologi at opnå bedre performance, mindre lækstrøm og reduceret siliciumareal i avancerede nanometer designs

telsesforanstaltninger, så derfor ligger denne teknologi måske ikke lige om hjørnet. Derfor kan man

af chippen. Dermed kan der opnås bedre performance, mindre lækstrøm og reduceret siliciumareal.

signet om til endimensionale rette linier og vinkelrette skæringspunkter. Det sker ved, at konvertere net-

endimensionale udlægning nemmere at printe, og den giver 15-20 procent mindre chipareal samt et lavere effektforbrug.

Tela's løsning er beregnet til avancerede procesgeometrier på 45 nm og derunder, hvor chipdesignets fysiske effekter er vanskelige og komplekse. Løsningen kan anvendes til logik, embedded memory samt analoge kredsløb og I/O funktioner, og når den syntetiseres og rutes som en del af det totale design, opnås et litografioptimeret layout. Den prædefinerede topologi i Tela's metode giver forbedringer i både variationen, ydelsen, lækstrømmen og siliciumarealet, og påvirker ikke de eksisterende designmetoder og processteknologier væsentligt.

- Vor metode gør det også nemmere at anvende dobbelt eksponering og dobbelt layoutmønstre, som bliver mere og mere nødvendig til designs med 32 nm og 22 nm geometrier. Det kræver en designmetode, som gør det muligt at dele mønstret på en enkelt maske til to masker, og det er den endimensionale løsning velegnet til, påpegede Tela's vice president for marketing, Neal Carney.

**Forudsigeligt layout**  
Generering af layout og timing med Tela's løsning er en strømnet og automatisk

proces, der giver mulighed for hurtigt at generere komplekse logiske strukturer. Designeren behøver ikke at røre kredsløbets transistorer for at bruge Tela arkitekturen. De fysiske topologier kan optimeres sammen med chipproducentens OPC (optical pattern correction) algoritmer og processteknologier, så man opnår et mindre chipareal. Desuden giver løsningen yderligere den fordel, at topologierne kan prækvalificeres som et led i procesudviklingen, og dermed hurtigere inkorporeres i chipdesignet for nye processteknologier.

- Vor løsning giver designeren og producenten et fast sæt af interaktioner mellem formerne, og det reducerer den uforudsigelige variation, som forekommer ved mere tilfældige layoutmetoder. I modsætning til de traditionelle designregler, som fortæller designeren, hvad der ikke skal gøres, vil vor topologibaserede metode proaktivt guide designeren til, hvad der skal gøres med en serie af strukturer for at opnå et regulært og forudsigeligt layout af kredsløbet, forklarede Neal Carney.

Test viser, at Tela løsningen kan reducere chiparealet med 15 procent og reducere lækstrømmen med 2,5 gange i en 45 nm proces.



En yderligere skalering af halvlederprocesserne kræver nytænkning i chipdesignet for at løse litografiproblemet. Derfor tilbyder vi nu en løsning, som smertefrit kan integreres i et standard EDA flow og optimere chiplayoutet til den gængse litografimethode, sagde Scott Becker, der her ses til højre sammen med Neal Carney

Af Jørgen Sarlvit-Larsen, (San Francisco, Californien)

Halvlederteknologiernes skalering til stadigt mindre nanometer geometrier gør det sværere og sværere at opnå korrekte layoutmønstre på den fysiske siliciumchip. Det skyldes, at den anvendte lysbølglængde i steppermaskinen er meget længere end de procesgeometrier, som benyttes til produktion af dagens integrerede kredse. I den optiske litografi anvendes fortsat en bølglængde på 193 nm, som er meget længere end de 65 nm og snart 45 nm, der er mainstream i dagens avancerede chipdesign. Denne forskel gør, at layoutmønstret på chippen forvrænges, når masken belyses, fordi man med en lysbølglængde på 193 nm ikke kan opnå den tilstrækkelige opløsning. Derfor må man ty til forskellige former for optisk korrektion for at få et brugbart layout. Til 45 nm processer anvendes for eksempel såkaldt immersion eller våd litografi, hvor man øger den effektive linseåbning ved at lade lysstrålen gå gennem vand, men denne metode er omkring 40 procent dyrere end den tørre litografi. For at få en bedre opløsning i litografien overvejer man i halvlederindustrien også at gå over til ekstrem ultraviolet lys med en bølglængde på 13,5 nm. Men da det er en form for røntgenstråling, medfører det store beskyt-

forudse, at den nuværende litografimethode vil blive anvendt endnu en rum tid fremover.

Grænsen er dog ved at være nået for, hvor meget der kan opnås ved hjælp af diverse optiske korrektionsteknikker. Ved 45 nm og mindre geometrier støder man ind i praktiske begrænsninger, som gør det vanskeligere at få et højt yield i chipproduktionen. En yderligere skalering til mindre procesgeometrier vil derfor ikke kunne ske uden at ændre IC'ernes designmetode, så det bliver muligt at opnå acceptable resultater med den gængse litografimethode.

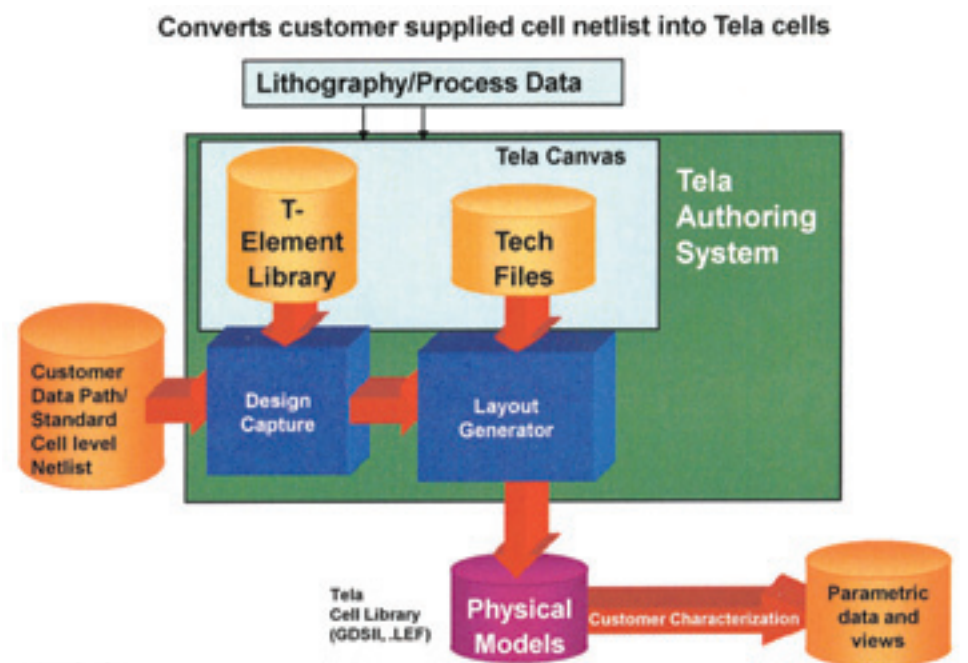
Litografiproblemet har gjort det svært for chipdesignerne at designe for højt yield, men dette problem løses nu af det californiske opstartsforetagende, Tela Innovations (www.tela-inc.com). Det tre år gamle firma har udviklet en litografioptimeret layoutmetode, som gør det muligt for designerne at forudse resultatet af den fysiske implementering

- En yderligere skalering af halvlederprocesserne kræver nytænkning i chipdesignet for at løse litografiproblemet. Derfor tilbyder vi nu en løsning, som smertefrit kan integreres i et standard EDA flow og optimere chiplayoutet til den gængse litografimethode. Og det gøres uden at belaste designerne yderligere med komplekse forhold i den fysiske produktionsproces, sagde Tela's CEO, Scott Becker, på en topkonference for den globale elektronikfagpresse i San Francisco, Californien, USA.

## Omlægger designet til rette linier

Med sin layout løsning introducerer Tela en ny metode, hvor strukturerne i chipdesignet udlægges endimensionalt, så man nemmere kan omgå begrænsningerne i litografistyret. Dermed kan man eliminere den forvrængning, som forekommer omkring bøjningerne i det normale todimensionale layout. Firmaets værktøj lægger chipde-

listen med standardceller til Tela celler. Outputtet er en fysisk repræsentation af chipdesignet i form af en GDSII fil. Ifølge Tela er den



Den litografioptimerede metode konverterer netlisten med standardceller til Tela celler

## Kickstart kit til Atmel processor

Svenske IAR Systems har lanceret et kickstart kit til Atmel processorkernen AVR32 UC. Det nye udviklingskit omfatter et EVK1100 udviklingskort fra Atmel, en 32 kB kodebegrænset version af IAR's embedded workbench for AVR32 samt en optional

JTAG ICE MKII debugprobe fra Atmel. Det pågældende workbench fra IAR er udviklet parallelt med AVR32 arkitekturen for at sikre fuld udnyttelse af CPU kernens avancerede egenskaber. For eksempel gør udviklingssystemet omfattende brug af kernens enkeltcyklus load/

store og DSP instruktioner, som kombineret med compilens intelligente optimerings-egenskaber resulterer i reduceret krav til hukommelse og et godt gennemløb i hver cyklus, meddeler IAR (www.iar.com). EVK1100 kortet understøtter AT32UC3A enheden, og periferafunktionerne in-

kluderer en Ethernet port, potentiometersensorer til lys og temperatur, blåt LCD display med 4 linier á 20 karakterer, JTAG konnektorer, Nexus, USART, USB, TWI og SPI samt en SD/MMC kortlæser.

