

Tela Innovations 突破45nm製程設計困境

65nm製程上線才不過兩年多時光，包含英特爾（Intel）在內的多家廠商近期便紛紛宣布晶片製程跨入45nm節點。表面上似乎完美地實踐了摩爾定律，但是面對設備與設計工具的應用週期驟減，以及來自間距、遷移率、變異性、漏電流和可靠性等日益增加的設計挑戰，半導體廠商反而必須先做出更大的投資，並且想盡辦法除錯，才可能實現摩爾定律中電晶體數目、性能倍增，但價格折半的理想。

微影技術步調跟不上製程

在持續朝向深次微米製程發展之下，所遇到的關鍵挑戰之一便是微影技術（Lithography）及其帶來的設計瓶頸。微影製程技術可不斷地提高解析度以製作更小的尺寸，用以增加IC的密度並降低平均成本，但是由於微影技術所能製作的最小線寬與光源的波長成正比，要實現此目的便必須得到更小的線寬，在製程上改採波長更短的光源。

微影技術曝光波長從過去的G-line（436nm），前進到目前主流的深紫外光（248nm、193nm）配合濕浸式曝光技術（Liquid Immersion），並持續朝向次世代超短紫外光（Extreme Ultra Violet, EUV，13.4nm）發展；然而，目前廣為應用的193nm波長在45nm製程中，既使透過光罩按照設計的原樣原封不動地描寫，也無法精確描寫導線的佈局圖，尤其在交叉點之處最易失真。在投資成本、良率與上市時間的多重壓力之下，半導體廠商似乎再度面臨困境。

所幸技術瓶頸能以創新思維來突破。提供45nm及更先進製程微影技術與生產解決方案的美商Tela Innovations，針對次波長（sub-wavelength）與低介電常數（low-k）領域的次世代晶片，提出on-grid、

直線模式、單面向佈線結構，以及預先定義好實體架構（physical topologies）的設計解決方案，可用於設計ASIC/SoC IP一般陣列（包括標準元件庫、記憶體編譯器與I/O單元等），並符合現有的標準EDA設計流程。

超越傳統思維

Tela Innovations 執行長 Scott T. Becker 日前於舊金山舉辦的 Globalpress 科技高峰會中接受專訪指出，「當先進製程小於微影技術的波長時代來臨時，改變設計模式以提升生產力並同時降低成本的需求便會持續增加。尤其進入45nm及更先進製程時，使用需要雙重曝光與重複描繪（patterning），更是強調了這些難題。」Scott 表示，「Tela Innovations 所提供的實體架構可以與晶圓廠的光學製程修正程序（OPC）演算法與製程精準連結，IC尺寸可縮減10%至15%，並降低2.5倍的洩漏電流。」

此外，Tela Innovations 為減少重複曝光的風險，將一個光罩上的圖形（pattern）用更有效率的方式分離，讓所有的接觸都只通過充分定義好的網柵（grid）。「引領工程師只做該做的事，因此設計工程師與晶圓廠不但不需碰觸電晶體線路，還能降低設計變異性及精準除錯。」Scott 深具信心的表示。

Tela Innovations 的解決方案透過GDSII設計IP模式提供，並包含系統設計工具，可應用於邏輯單元、嵌入式SRAM、類比與I/O等。目前有五家廠商已向Tela Innovations 取得授權應用於45nm的設計，包括日本IBM與美商高通（Qualcomm），還有部分客戶正進行評估中。■

作者 Miranda Lu