

Eine kurze Geschichte der Place&Route-Tools – und was sie uns lehrt

## Neue Herausforderungen für die EDA-Industrie

Eine Reihe von Brüchen im Design-Flow sieht **Walden C. Rhines, Chairman und CEO von Mentor Graphics**, auf die EDA-Branche zukommen. Bei Place&Route ereigneten sie sich alle zwei Jahre – und hier sieht er selbstverständlich Mentor gut positioniert. Doch es gebe schon bald weitere Hürden zu nehmen.

»Veränderungen im Design-Flow finden statt, wenn die existierenden Tools an ihre Grenzen kommen und einfach nicht mehr funktionieren, niemals vorher«, sagte Walden C. Rhines, Chairman und CEO von Mentor Graphics, auf dem Globalpress Electronics Summit in San Francisco. Deshalb sei die EDA-Industrie im Grunde auch recht stabil. Denn die Ingenieure verließen ungern die bekannten Flows. Das gilt allerdings laut Rhines für einen Bereich weniger: für Place & Route, wie ein Blick in die Geschichte zeige. Angefangen hat die Place&Route-Entwicklung in Firmen wie LSI Logic und VLSI Technology für die Gate-Arrays. Mit den Cell-Based-ICs tauchte plötzlich eine neue Firma auf: Tangent. 1989 wurde sie von Cadence übernommen. Das war zu einem Zeitpunkt, als diese Tools weltweit

einen Umsatz von 300 Mio. Dollar generierten.

Laut Rhines wiederholt sich dieses Muster. Als auf der 0,25-µm-Ebene Design-Re-Use erforderlich wurde, war der Design-Flow wieder an eine Bruchstelle geraten, und eine neue Firma tauchte auf: AreSys. Dieses Unternehmen konnte plötzlich Chips designen, vor denen etablierte EDA-Unternehmen kapitulieren mussten. AreSys brachte es ebenfalls schon bald auf einen Umsatz von 300 Mio. Dollar, wurde dann aber von Avanti gekauft, die später Synopsys geschluckt hat.

Die nächste Hürde war Timing-Closure. Postwendend tauchten neue Start-ups auf, die sich mit den neuen Problemen beschäftigten, und Magma kam mit einer neuen Architektur auf den Markt. Der Umsatz mit Place & Route von



Walden C. Rhines, Mentor Graphics

» Auf der Systemebene lässt sich die Leistungsaufnahme noch um Größenordnungen reduzieren. ESL bietet dafür einen guten Ansatz «

Magma dürfte heute bei 150 bis 200 Mio. Dollar liegen.

Wer so souverän über bevorstehende Brüche im Design-Flow redet, dürfte auf kommende Ereignisse vorbereitet sein. Auf die Frage, welches denn wohl die nächste Start-up-Firma wäre, deren Tools die Brücke über den kom-

menden Bruch schlagen könnten, hat Rhines spontan eine Antwort bereit: »Sierra Design Automation«, um nachzusetzen: »die wir im vergangenen Juni übernommen haben«. Zu den Tools von Sierra, für die Mentor 90 Mio. Dollar bezahlt hatte, gehören die Pinnacle Adaptive Variability Engine und das Place&Route-System Olympus, das gleichzeitig die Probleme der Prozessvariationen in der Lithografie, der Eckpunkte und der Design-Modus angeht. In Kombination mit den Physical-Verification- und DFM-Tools von Mentor stünde damit ein Design-to-Fab-Flow zur Verfügung, der mit Dutzenden von Prozesseckpunkten und verschiedenen Modus zurecht käme. Das führe in 65- und 45-nm-Designs zu schnellen Ergebnissen.

Wo liegen heute die Probleme, die zu einem erneuten Bruch im Design-Flow führen könnten? Rhines sieht deren drei: Variationen, Low-Power und riesige Datenbasen. Der letztgenannte Punkt hat es in sich: Wenn ein IC in drei Modus (aktiv, standby,

### i Die steigende Komplexität der Algorithmen sind das Problem

## DFM als Wendepunkt

»Den Wendepunkt überleben«, unter diesem Titel stand die Panel-Diskussion der EDA-Spezialisten unter Leitung von **Mary Ulsson, Principal Analyst von GarySmithEDA**, auf dem Globalpress Electronics Summit. Aber stehen wir tatsächlich vor einem Wendepunkt? »Wendepunkte sehe ich als eine große Chance an, man kann sich von den Wettbewerbern absetzen«, sagt **Andy Haines, VP Marketing von Synplicity**. Doch gibt es überhaupt einen Wendepunkt im IC-Design? Die Komplexität der ICs steigt, und damit steigen die Design-Kosten rasant. Doch dieses Wachstum entspricht immer noch dem berühmten Gesetz von Moore.

Was laut Haines heute aber mit weit höherer Geschwindigkeit zunimmt, ist die Komplexität der Algorithmen, die auf den Prozessoren laufen. Insbesondere wenn es sich um Prozessoren für die drahtlose Kommunika-

tion handelt, steige sie rasant: »Diese beiden Entwicklungen driften auseinander, und das ist der Grund, warum die FPGAs so erfolgreich sind und warum nun Anbieter von Multi-core-Prozessoren wie Tensilica ebenfalls auf Erfolgskurs einschwenken.« Wenn die Software- und die Hardware-Komplexität steigen, so erfordert das verbesserte Verifikationsmethoden – und hier verweist er ganz selbstlos auf die Confirma-Plattform von Synplicity sowie auf die einfache DSP-ESL-Synthese, die die Tools von Synplicity erlaubten.

**Walter Ng, VP Design Enablement Aliances von Chartered Semiconductor**, meint, dass eine Foundry von ESL eher weniger betroffen sei. Die große Herausforderung sieht er in DFM. »Hier handelt es sich meiner Meinung nach um den wirklichen Wendepunkt.« Und DFM sei gerade für die Pure-Play-Foundries nicht einfach zu realisieren, weil sie ja keine

Designs durchführen. Überhaupt sei DFM für einen einzigen Hersteller auf sich gestellt sehr schwierig, denn einer Firma alleine stünden kaum die Mittel zur Verfügung, die alle das für DFM Erforderliche umfassen. Deshalb setzt Chartered auf Allianzen. Jeder könne etwas beitragen, was der andere nicht hat. Wie stark eine solche Allianz ist, zeige schon der Blick auf die R&D-Ausgaben. Die Allianz, zu der Chartered gehört (AMD, IBM, Freescale, Infineon, Samsung, Sony, Toshiba) stecke kumuliert weit mehr Geld in F&E als Einzelfirmen wie Intel, NEC, TI, ST oder TSMC.

**Nitin Deo, Group Director DFM Marketing von Cadence**, sieht ebenfalls DFM als den entscheidenden Wendepunkt. Auf den 180-, 130- und 90-nm-Ebenen liefere ein sauberer Design-Rule-Check auch eine einheitliche Ausbeute. Auf der 65-nm-Ebene sei das ganz anders. »Einige Designs führen zu guten Ausbeuten, andere

seltsamerweise zu schlechteren, und das liegt an den Random Defects. Inhomogene ICs werden unvorhersagbar, und leider sind die Chips für Computer, Kommunikation und Consumer-Anwendungen naturgemäß inhomogen.« Deshalb werden jetzt Modell-basierte Checks unumgänglich.

Walter Ng meint, dass das alles eigentlich schon hervorragend funktioniert. »Ich sehe überhaupt keine Produktionskrise.« Der DFM-Hype habe schon auf der 90-nm-Ebene Einzug gehalten, und auf der 65-nm-Ebene würden DFM-Techniken weiter Schritt für Schritt eingeführt, ohne dass sich der Flow wesentlich ändere. »DFM ist integriert, wir arbeiten sehr eng mit den EDA-Firmen zusammen«, so Ng. Dem kann Nitin Deo nur zustimmen: »Dieser Prozess muss evolutionär ablaufen, dann ist es gar nicht so schwer, neue Techniken einzuführen.« (ha)

sleep) arbeitet und beispielsweise Maximal- und Minimalwerte von Widerständen und Kapazitäten über die Temperatur und viele weitere Parameter geprüft werden sollen, dann führt das schnell zu einer riesigen Anzahl von Eckpunkten, die simultan optimiert werden müssten. »Die heutigen Tools arbeiten aber die Eckpunkte hintereinander ab, das sieht nach einem neuen Bruch aus«, so Rhines. Low Power ist ein weiterer Kandidat. Das Unified Power Format sei ein Schritt in die richtige Richtung gewesen, es sei ausgereift, und es werde von verschiedenen EDA-Firmen unterstützt. »Aber es muss mehr gesche-

hen, als nur bestimmte Sektoren auf dem Chip ein- oder abzuschalten«, erklärt Rhines. »Auf der Systemebene lässt sich die Leistungsaufnahme noch um Größenordnungen reduzieren.« ESL sei hier ein guter Ansatz, damit könnte man bei vielen Optimierungsprozessen mit hoher Wahrscheinlichkeit nicht nur irgendein lokales, sondern ein globales Minimum/Maximum treffen.

Was er ebenfalls als eine große Herausforderung ansieht, ist das Leiterplatten-Layout: »PCBs mit mehr als 40 Lagen und Übertragungsraten von 10 GBit/s erfordern komplexere Router als im IC-Design.« (ha) ■