

ANGELA ROSSONI

La complessità dei progetti elettronici sta aumentando esponenzialmente, a causa degli effetti della legge di Moore e dei requisiti delle applicazioni emergenti, soprattutto in campo consumer. Accanto all'aumento della complessità, sia dell'hardware, sia del software e degli algoritmi, della velocità operativa e del livello di integrazione delle funzioni, crescono anche i rischi di progetto, i costi e i tempi di sviluppo: questo le aziende non possono permetterselo, dato che devono far fronte a forti pressioni di costi e di time-to-market. "L'89% dei progetti non rispetta i tempi di consegna, e per il 40% o più non è possibile prevedere i tempi di consegna. Nei progetti System on Chip, investire fino a quando non ci si accorge che il progetto non è fattibile, è l'approccio più sbagliato. Per la prima volta siamo in grado di fabbricare chip che non possono essere progettati" fa notare David Fritz, CEO di Silistix, ex-spinoff dell'università di Manchester specializzata nelle soluzioni EDA per le interconnessioni on-chip ad alte prestazioni. "Stiamo assistendo, per i progetti più avanzati, alla transizione verso la generazione da 45 nm" afferma Walden Rhines, CEO e presidente di Mentor Graphics in occasione di un keynote speech pronunciato durante l'edizione 2008 del Globalpress Electronics Summit a San Francisco. "Nonostante le sfide e i requisiti emergenti imposti da questa transizione, l'adozione delle nuove tecnologie è tipicamente molto lenta. Le aziende sono attratte dal-

l'innovazione, ma, quando si tratta di cambiare il flusso di progetto e le infrastrutture, incontrano grandi difficoltà. Per l'industria EDA, quindi, molto difficile introdurre nuove soluzioni. Esse passano a una nuova soluzione quando i design flow e i tool non funzionano più e non permettono di realizzare il nuovo progetto. Ad esempio, le aziende adottano nuovi tool di place-and-route in media dopo poco più di due generazioni di processo". Al sorgere di problemi non risolvibili con gli strumenti tradizionali, le società EDA e le startup più innovative rispondono proponendo soluzioni innovative. Questo sta per accadere di nuovo e co-

stituisce sia un rischio, sia un'opportunità per le aziende più innovative. Le sfide imposte dalle nuove generazioni di processo e dalle applicazioni emergenti richiedono un nuovo approccio sia da parte dei progettisti, sia delle società EDA che forniscono tool per tutte le fasi di sviluppo dei progetti, dalla stesura delle specifiche alla prototipazione, test e collaudo.

#### LE SFIDE

Uno degli aspetti più critici nei progetti più avanzati di grandi dimensioni è legato alla variabilità, sia del processo tecnologico, sia dei parametri dei dispositivi; questa rende molto più imprevedibile

necessità di ridurre i consumi, soprattutto con le nuove generazioni di processo da 45 nm; per miniizzarli occorre effettuare lunghe e complesse analisi multicorner e multimode, e agire anche sugli aspetti legati al layout con tool di place & route e tecniche di resolution enhancement di ultima generazione. La diffusione di standard per la definizione delle specifiche di progetto ai fini dell'ottimizzazione dei consumi, la diffusione di standard come l'Unified Power Format, promosso dal consorzio Accellera, e del Common Power Format del Si2 Forum consentono di standardizzare e automatizzare i tool e i processi. È così possibile

## Tool EDA: è necessario un nuovo approccio

Le sfide imposte dalle nuove generazioni di processo e dalle applicazioni emergenti richiedono un nuovo approccio da parte sia dei progettisti, sia delle società EDA

### Il costo dei progetti sta esplodendo!

1992	1994	1996	1998	2000	2002	2004	2006	2008	2010	2012
0.7µm	0.5µm	0.35µm	0.25µm	0.18µm	0.13µm	90nm	65nm	45nm	32nm	22nm

#Gate /mm <sup>2</sup> numeri molto conservativi										
1k	5k	15k	30k	45k	80k	150k	300k	600k	1.2M	2.4M
#Gate per progettista all'anno										
4k	6k	9k	40k	56k	91k	125k	200k	200k	200k	200k
Anni uomo per un die da 50 mm <sup>2</sup>										
~10	~40	~80	~40	~40	~43	~60	~75	~150	~300	~600

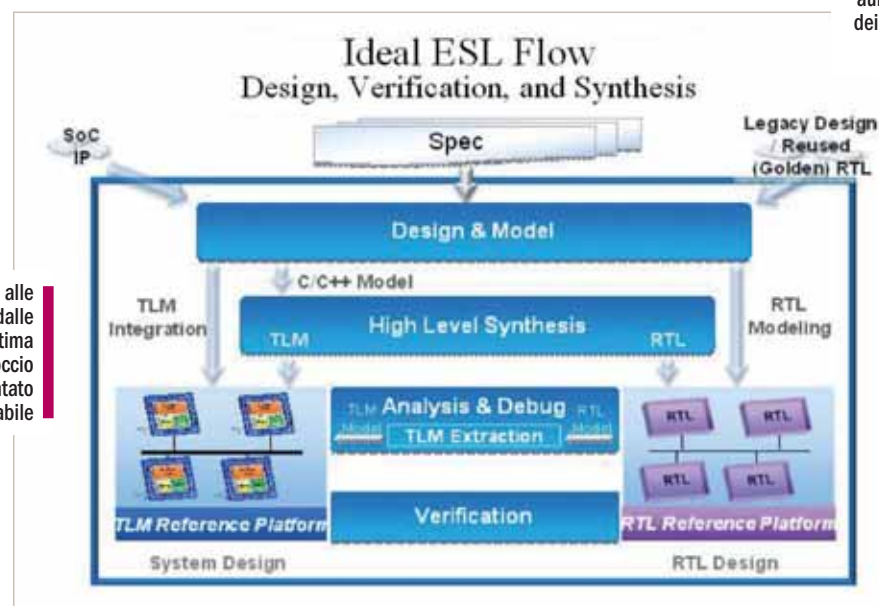
Fonte: STM

La complessità dei progetti elettronici sta aumentando esponenzialmente, a causa dei requisiti delle applicazioni emergenti e degli effetti della legge di Moore

e complessa l'analisi dei progetti. Ad esempio, in un progetto di un circuito integrato per telefoni cellulari, esistono tipicamente oltre 21 casi di corner da analizzare; i progettisti non hanno i mezzi sufficienti per stabilire qual è il peggiore, né le risorse per analizzarli e ottimizzarli. Le difficoltà crescono con il passaggio da una generazione di processo a quella successiva: a 130 nm, l'analisi delle temporizzazioni di un dispositivo richiede l'analisi di 4 corner, che salgono a 10 in tecnologia da 90 nm; con i 65 nm ci possono essere progetti anche con 600 corner che devono essere verificati tutti. Un altro grosso problema è dato dalla

per i progettisti disattivare le funzioni non utilizzate nei propri processi, effettuare in modo ottimale le partizioni hardware/software, selezionare i blocchi IP più efficienti, definire l'architettura, la gerarchia di memoria, l'unità di gestione dell'alimentazione, e simulare accuratamente il comportamento dei circuiti ai fini della riduzione della potenza sia statica, sia dinamica. Anche l'analisi dell'integrità dei segnali è fondamentale per il progetto di circuiti integrati di ultima generazione, e richiede un approccio ad alto livello. Per rispettare i requisiti estremi di bassa potenza delle applicazioni di ultima generazione, in particolare per quanto riguarda i dispositivi consumer portatili, occorre pensare il progetto fin dall'inizio ai fini dell'ottimizzazione dei consumi, agendo a livello di sistema. Per effettuare un'analisi precisa dei consumi è anche utile un approccio ad alto livello di tipo Transaction Level Modeling, che consiste nel separare i dettagli realizzativi delle singole unità funzionali dall'archi-

Per poter far fronte alle sfide imposte dalle applicazioni di ultima generazione, l'approccio ESL è ormai diventato indispensabile



tettura del sistema. Un altro aspetto critico riguarda la verifica funzionale: gran parte dei progettisti passano almeno la metà del proprio tempo a scrivere il codice per la verifica; molti progetti subiscono almeno un respin e l'integrazione dei blocchi digitali e analogici del sistema può essere molto difficoltosa. Per far fronte a ciò, sta emergendo una nuova metodologia per la verifica basata su asserzioni, che fa uso di linguaggi ad alto livello come System Verilog o il PSL (Property Specification Language).

Altri strumenti EDA molto importanti sono i tool per l'automazione e l'analisi dei test-bench intelligenti, che consentono di verificare funzionalmente interi progetti, di ridurre notevolmente il tempo per la verifica, pur permettendo di individuare un numero maggiore di difetti. Anche i tool di routing automatici hanno subito una profonda evoluzione, in risposta ai requisiti dei circuiti integrati di ultima generazione, in particolare dei progetti Asic e SoC più complessi. È migliorata la risoluzione ottica per la litografia, grazie all'uso di tecniche RET (Resolution Enhancement Technique); queste ultime infatti possono impattare notevolmente sulla variabilità del comportamento del chip.

La società Californiana **Tela Innovations**, sorta nel 2005, ha messo a punto un tool di routing che fa uso esclusivamente di topologie predefinite, più affidabili e prevedibili, con pitch e lunghezze fisse, che consentono di ottimizzare il layout in modo semplice e di ridurre la variabilità dei parametri dei transistor nelle geometrie di processo più avanzate, da 45 nm e successive, in cui gli effetti fisici da tenere in considerazione nella progettazione del chip sono più pesanti e complessi. La tecnologia consiste nel mappare le strutture del layout in una soluzione unidimensionale regolare, ottimizzando le dimensioni, le prestazioni e l'affidabilità del progetto. La soluzione di Tela è interoperabile con i tool EDA e le metodologie standard di progettazione e nasconde al progettista gli aspetti fisici del sistema. La soluzione è fornita in formato GDSII e permette di ridurre il leakage di un fattore 2,5 e l'area di oltre il 10% rispetto alle soluzioni di routing tradizionali. Le stesse tendenze si riscontrano anche nella progettazione dei



I requisiti sui consumi sono particolarmente severi per i dispositivi consumer portatili di ultima generazione (fonte: Mentor Graphics)

PCB: non è raro vederne con più di 40 strati; il loro routing potrebbe richiedere diversi giorni. I tool EDA per PCB di ultima generazione, devono garantire una velocità di simulazione tale da consentire di trovare il layout ottimale in modo più efficiente e rapido, potendo confrontare più alternative, consentendo anche a gruppi di progettisti dislocati in zone fisicamente distanti di collaborare.

### UN NUOVO APPROCCIO

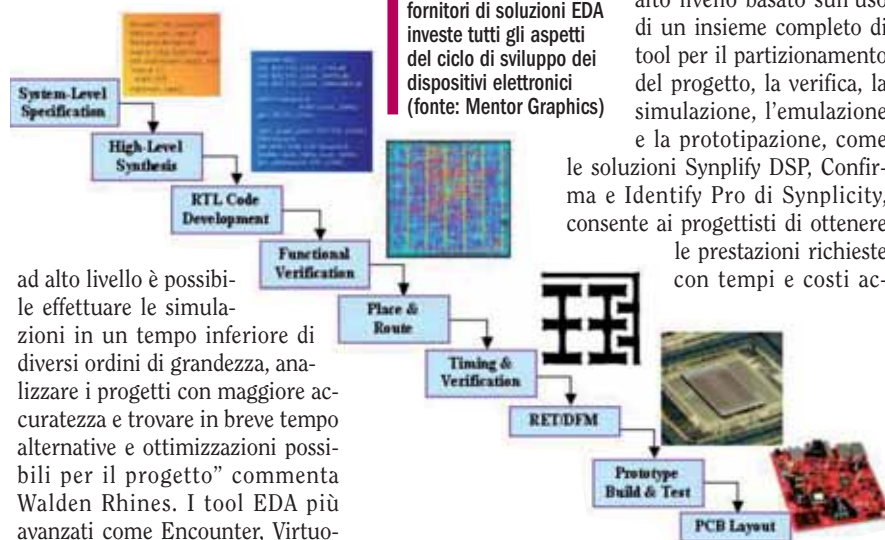
Per poter far fronte alle sfide imposte dalle applicazioni di ultima generazione l'approccio ESL (Electronic System Level), per l'analisi, la sintesi e la verifica dei progetti ad alto livello è ormai diventato indispensabile. "In passato un linguaggio di alto livello era considerato inefficiente, perché non consentiva di ottimizzare i circuiti a livello di gate come l'RTL (Register Transfer Language). In realtà oggi con i linguaggi

so, Incisive di Cadence o Vista, Catapult, Questa e Modelsim di **Mentor Graphics**, consentono di realizzare in modo accurato ed efficiente progetti complessi su silicio, adottando un approccio ad alto livello. Sempre con un approccio ad alto livello, Silistix fornisce il tool Chainworks 2.0 per realizzare interconnessioni on-chip ottimizzate in base ai requisiti di progetto, migliorandone i consumi, la latenza, la banda e la scalabilità. Il tool consente una riduzione del 30% dei consumi complessivi del chip, un miglioramento del 50% nelle prestazioni, una diminuzione del 40% nel tempo di sviluppo del chip, e una riduzione del 20% nei costi complessivi di fabbricazione, combinando l'approccio ESL con il linguaggio CSL (C Scripting Language), semplice all'apprendimento, che consente di specificare i requisiti sulle connessioni dei chip e presenta molte somiglianze con linguaggi comuni ad alto livello come il System C.

**Gary Meyers**, presidente e CEO di **Synplicity**, acquisita da Synopsys, osserva come all'aumentare della complessità dei progetti, diventa sempre più difficile correlare i progetti logici alla loro realizzazione fisica. Questo è vero in particolare per i dispositivi Asic/Assp, il cui mercato, secondo Gartner, varrà 344 miliardi di dollari entro il 2010. Oltre il 50% degli Asic richiede almeno un respin, con un conseguente aumento dei costi e dei tempi di sviluppo. La ragione per il mancato funzionamento dei chip è spesso un errore a livello funzionale o logico non verificato. Un approccio ad alto livello basato sull'uso di un insieme completo di tool per il partizionamento del progetto, la verifica, la simulazione, l'emulazione e la prototipazione, come le soluzioni Synplify DSP, Confirma e Identify Pro di Synplicity, consente ai progettisti di ottenere le prestazioni richieste con tempi e costi ac-

cettabili, individuando anche problemi che si verificano raramente. Il nuovo approccio ad alto livello adottato dai fornitori di soluzioni EDA investe tutti gli aspetti del ciclo di sviluppo dei dispositivi elettronici, compreso anche il software e la fabbricazione. In occasione di un panel tenutosi nel corso del Globalpress Electronics Summit, moderato da **Mary Olsson**, analista della società **Gary Smith EDA**, Joe Sawicki, general manager, Design-to-Silicon Division di Mentor Graphics, fa notare come i costi, i rischi e la complessità dei progetti, la diminuzione del ciclo di vita dei prodotti e la necessità di abbattere i consumi impongano la necessità di progettare dispositivi e sistemi elettronici con un livello superiore di astrazione. **Andy Haines**, vice president marketing di **Synplicity** aggiunge: "Il contenuto di software nei progetti System-on-Chip è aumentato a dismisura: ad esempio il progetto di un SoC per HDTV richiede oltre 2 milioni di linee di codice, tanto che in molti casi la messa a punto del software condiziona pesantemente i tempi di sviluppo dei progetti, oltre ad aumentare i requisiti per la verifica". I progettisti necessitano quindi di tool efficienti per lo sviluppo del software embedded. L'approccio ad alto livello ha investito anche gli aspetti legati alla fabbricazione, con la diffusione del concetto di DFM (Design For Manufacturing). "La fabbricazione non può più essere un afterthought" commenta **Walter Ng**, vice president design enablement alliances di **Chartered Semiconductor Manufacturing**. **Nitin Deo**, group marketing director DFM di **Cadence Design Systems**, richiama l'attenzione sulla disomogeneità e variabilità dei progetti di ultima generazione: i dispositivi che hanno passato il DRC (Design Rule Check), se fabbricati in due stabilimenti diversi, mostrano prestazioni diverse e imprevedibili. Per questo motivo i fornitori di soluzioni EDA devono collaborare strettamente sia con i produttori di semiconduttori, sia con le fonderie di silicio.

Il nuovo approccio ad alto livello adottato dai fornitori di soluzioni EDA investe tutti gli aspetti del ciclo di sviluppo dei dispositivi elettronici (fonte: Mentor Graphics)



ad alto livello è possibile effettuare le simulazioni in un tempo inferiore di diversi ordini di grandezza, analizzare i progetti con maggiore accuratezza e trovare in breve tempo alternative e ottimizzazioni possibili per il progetto" commenta Walden Rhines. I tool EDA più avanzati come Encounter, Virtu-

readerservice.it

- Accellera n. 18
- Cadence Design Systems n. 19
- Chartered Semiconductor Manufacturing n. 20
- Gary Smith EDA n. 21
- Globalpress n. 22
- Mentor Graphics n. 23
- Si2 n. 24
- Silistix n. 25
- Synplicity n. 26
- Tela Innovations n. 27