

## Podiumsdiskussion

## Energie sparen – aber wo?

Alle reden von Leistungsreduktion – aber wo im System lässt sich eigentlich noch Leistung einsparen? Und wie groß ist der Spielraum, der noch zur Verfügung steht?

»Der Schlüssel liegt im Design der Architektur, der Software/Hardware-Partitionierung und den Algorithmen«, sagt Michel de Mey, nach der Übernahme von AMIS durch **On Semiconductor** Senior Director Hearing/Audio Solutions des Unternehmens. Er erläutert das am Beispiel von DSPs, die in Kopfhörern und Hörgeräten Einsatz finden. So reduziere es die Leistungsaufnahme um den Faktor 10, wenn man die digitale Filterung im Frequenzbereich statt im Zeitbereich durchführt. Statt einem Core zwei Cores parallel arbeiten zu lassen, senke die erforderliche Spannungsversorgung um den Faktor 2 bis 3. Beides zusammen führe schon zu erheblichen Einsparungen. Damit spielt er auf die ursprünglich von AMIS entwickelte BelaSigna-Audioprozessoren an.

Das neueste Mitglied, der BelaSigna 300, ist ein 24-Bit-Dual-



Michel de Mey, On Semiconductor, Andrew Baker, Intersil, Glenn Perry, Mentor Graphics, Tom Trill, Qimonda, Rick Zarr, National Semiconductor, und Mohit Bhatnagar, Cadence, auf dem Panel zum Thema »Approaches to Decrease Consumption«. (v.l.n.r.)

Core-DSP, der die Leistungsaufnahme eines ASICs und die Flexibilität eines Prozessors bietet. Dazu liefert On Semiconductor auf die Architektur zugeschnittene Full-Duplex-Echo-Cancellation-Algorithmen. Die DSPs sitzen im WLSCP (3.63 x 2.68 mm), die Stückzahlproduktion will das Unternehmen im zweiten Quartal aufnehmen.

Auch Glenn Perry, General Manager ESL-HDL von **Mentor Graphics** sieht in der richtigen Auswahl der CPU-Bus und Speicherarchitektur eine Voraussetzung dafür, die Leistungsaufnahme weiter zu reduzieren. Außerdem erwähnt auch er Hardware/Software-Partitionierung und die Optimierung der Algorithmen sowie Adaptive Voltage-Frequency-Scaling, Clock-Gating und Power-Gating.

Eine Schwierigkeit dabei ist, dass die Hard- und Software-Ingenieure sich oft untereinander nicht verstehen. Michel de Mey weist darauf hin, dass für Designs mit Versorgungsspannungen von 0,9 V oder darunter keine IPs auf dem Markt erhältlich sind: »Das müssen wir alles selber machen.«

Den größten Spielraum für die Reduzierung der Energieaufnahme sieht Glenn Perry auf der Systemebene. Dem stimmt Rick Zarr,

Worldwide Partnership Marketing Manager von **National Semiconductor** zu: »Die Verantwortung dafür liegt nicht nur bei den Chip-Designern, sondern auch bei den Systemarchitekten.« Neue Architekturen könnten die Energieaufnahme ohne neue Prozesse reduzieren. Die Reduzierung auf der Chipebene ist sicherlich ein wichtiger Punkt, hier nennt er als Beispiele aus dem eigenen Hause die Hochgeschwindigkeits-ADC auf Basis der Folding-Architektur und die Continuous-Time-Sigma-Delta-Wandler, auch die Leistungswandlung sei sicherlich ein wichtiger Punkt – hier erwähnt er die Switcher-Unit für Power-Amplifier. Doch das alles sei nur Teil eines größeren, sehr viel komplexeren Problems. »Wir stecken alle noch in den alten Methoden fest, notwendig wäre ein neuer Denkansatz. Dazu zählen adaptive Systeme und Energy Harvesting.«

Mohit Bhatnagar, Director Low Power Marketing von **Cadence**, sieht im SoC-Design immer noch eine große Chance: »Mit einem guten Design kann man aus jedem heutigen Chip noch einmal 25 Prozent herausholen.«

Dass auch auf der Ebene der Speicher etwas getan werden

kann, erklärt Tom Trill von **Qimonda**. Ob DRAM in Servern oder mobilen Geräten arbeiten, sie schlucken einen Großteil der Energie, in Servern rund 25 Prozent. Mit der von Qimonda entwickelten Buried-Wordline-Technik könne die Leistungsaufnahme gegenüber herkömmlichen DRAMs kräftig gedrückt werden, weil die Kapazität der Bit-Line sinkt. Der Trick: Während in herkömmlichen DRAM-Designs die Bitline sowohl an den Kondensator als auch an die Wordline koppelt, besteht die Kopplung zwischen Bitline und Wordline bei vergrabener Wordline nicht. Das sorgt für eine geringere Kapazität in der Bitline und damit schlussendlich zu einer niedrigeren Leistungsaufnahme. »Die Elektronik insgesamt, Speicher eingeschlossen, hat ja eine interessante Power-Kultur, es besteht eine »Always-on«-Metalität«, sagt Tom Trill. »Um die Effektivitätssteigerung auf der Prioritätenliste nach oben zu setzen, sind nicht nur technische Maßnahmen erforderlich, sondern es muss sich auch eine entsprechende Kultur entwickeln.« Mit der Buried-Wordline-Architektur habe Qimonda einen nicht unerheblichen Beitrag auf der Speicherebene geleistet. (ha)



Rick Zarr, National Semiconductor

» Wir stecken alle noch in den alten Methoden fest, notwendig wäre ein neuer Denkansatz. Dazu zählen adaptive Systeme und Energy Harvesting. «