

Bringen alternative Energiequellen die Rettung?

Das Ringen um eine niedrige Leistungsaufnahme

Consumer-Märkte verlangen nach niedriger Leistungsaufnahme. Sind FPGAs deshalb aus dem Rennen? Sind Multicore-Ansätze die Lösung oder werden sich konfigurierbare Prozessoren durchsetzen?

Sowohl Moshe Gavrielov als auch Ronnie Vashista sehen es als Voraussetzung für den Erfolg an, die Leistungsaufnahme der Chips und der Systeme zu reduzieren. John East, CEO von FPGA-Hersteller **Actel**, macht die Leistungsaufnahme sogar zum zentralen Punkt seines Vortrags. 2005 haben die USA 4,055 Mrd. kWh elektrischer Energie verbraucht, mehr als die Hälfte davon haben alleine elektrische Motoren aufgenommen. 1,2 Prozent der elektrischen Energie wanderte 2005 bereits in Server-Farmen. Ende 2006 sagte Gartner voraus, dass Ende 2008 die Hälfte der Datenzentren weltweit Schwierigkeiten bekämen, die Energie, die sie brauchen, zu erhalten. Und in traditionellen Datenzentren wandern 60 Prozent der gesamten Energie in die Kühlung.

Werden alternative Energiequellen die Rettung bringen? Die Frage beantwortet John East an einem zunächst abstrus erscheinenden Beispiel: ein Auto, das durch Hamster im Laufrad angetrieben wird. Angeblich hat Toyota tatsächlich ein solches Auto als Gag vorgestellt. East rechnet brav vor, wie viel Hamster treten müssten, um ein Mittelklasseauto anzutreiben, wie viel sie fressen müssten, wie viel Nahrung dafür weltweit angebaut werden müsste, was das für die Umwelt bedeuten würde. . . Angesichts der derzeitigen Diskussion um Benzin aus nachwachsenden Rohstoffen klingt dieses Beispiel gar nicht mehr so abstrus.

Fazit: Als alternativen Energiequellen stehen uns – neben der umstrittenen Atomkraft – nur Sonnenenergie und Windkraft zur Verfügung, beide werden allerdings mittelfristig nur einen geringen Beitrag liefern.

Wenn der Energieverbrauch einerseits zunimmt, uns aber andererseits auf absehbare Zeit keine Alternativen zu den heutigen Energiequellen zur Verfügung stehen, dann bleibt nur eins: Energie sparen. Und hier ist er mitten in der eigenen Technik. Mit Igloo und proASIC3 hat Actel FPGA-Familien auf den Markt gebracht, die um den Faktor 1000 weniger Energie aufnehmen als vergleichbare FPGAs, »und die geben schon mit ihrer niedrigen Leistungsaufnahme an«, so East. Außerdem erlaubt es Actel mit dem Integrated Design Environment, die dynamische Leistungsaufnahme um 30 Prozent zu reduzieren, u.a. weil das Unternehmen die Place&Route-Tools auf die Leistungsaufnahme optimiert hat.

Mit diesem Angebot zielt John East auf den Einsatz in tragbaren Geräten ab, seien es nun Applikationen im Storage-Bereich, im LCD oder in der Mensch-Maschine-Schnittstelle. In Smart-Phones, GPS und PDA, ebenso wie in tragbaren Terminals, in Taschencom-

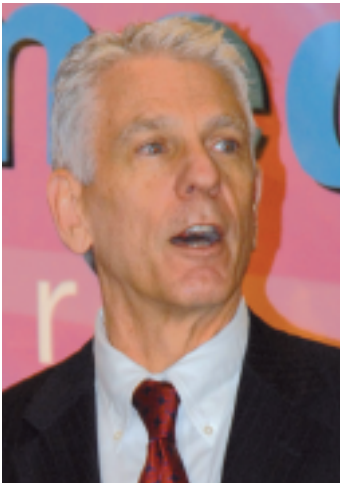


Actels Low-Power-Familie IGLOO nimmt um den Faktor 1000 weniger Energie auf als vergleichbare FPGAs.

putern und Point-of-Sales-Terminals sieht er die programmierbare Logik auftauchen, zumal auch ihre kleinen Gehäuse (von 4 mm x 4 mm bis 10 mm x 10 mm) attraktiv für diese Anwendungen sind.

Mit der Fusion-Familie zielt Actel auf intelligentes System-Management ab, beispielsweise auf die Motorsteuerung. Über effizientes Energiemanagement lässt sich eben sehr viel Energie sparen, wie die Beispiele der Ser- ▶

Anzeige



John East, Actel

» Sicherlich, es wird immer Systeme geben, die ohne FPGAs auskommen, aber die Flexibilität auf der einen Seite und die ständig steigende Komplexität auf der anderen Seite spricht eben für die FPGAs. «

ver-Farmen und des Energieverbrauchs von Motoren zeigt. Bieten da die reinen Mikrocontroller nicht Vorteile gegenüber FPGAs? »Ja und nein«, meint John East, »es kommt aufs System an.« In einem System kann das FPGA den Controller abschalten und wieder aufwecken, in einem anderen kann der Super-Low-Power-Controller das FPGA herunterfahren. Und nehmen nicht ASICs nicht immer weniger Energie auf als FPGAs? »Sicherlich, es wird immer Systeme geben, die ohne FPGAs auskommen, aber die Flexibilität auf der einen Seite und die ständig steigende Komplexität auf der anderen Seite spricht eben für die FPGAs.« Und das gelte übrigens auch gegenüber dem Ansatz von eASIC, dem er – kaum überraschend – wenig Stimulierendes abgewinnen kann.

Parallele Strukturen sparen Energie

Ähnlich dürfte auch Chris Rowen, CEO von **Tensilica**, dem Ansatz von eASIC bewerten. Dabei stellt er in seiner Präsentation, genauso wie John East, die geringe Leistungsaufnahme in den Vordergrund, will die Flexibilität aber nicht über Hardware-Programmierbarkeit erreichen, sondern über Konfigurierbarkeit, um parallele Prozessor-Strukturen zu ermöglichen, die sich einerseits auf bestimmte Anwendungen einfach anpassen lassen, andererseits aufgrund der Parallelität der Architektur hohe Rechenleistung bei geringer Leistungsaufnahme ermöglichen. Dazu holt er – wiederum wie John East – erst einmal weit aus: PCs, Telefone, Consumer-Geräte und IT in Unternehmen fressen 6 Prozent des Energiebedarfs der USA, was 30 800-MW-Kraftwerken entspricht. Auf der anderen Seite sinkt die Leistungsaufnahme der ICs nicht mehr so wie über die letzten 40 Jahre. Der letzte große Schub kam, wie John East erinnerte, von der Einführung der CMOS-Technik, die weitere 25 Jahre des Skalierens brachte: Je kleiner die Strukturgrößen, desto geringer die Leistungsaufnah-

me. Zwar tragen erstaunliche Techniken wie Low-k-Dielectrics, Strained Silicon, Multi-Core-Architekturen und jetzt auch Hafnium im Gate-Stack dazu bei, dass die Energieaufnahme weiter sinkt – aber was künftig kommen soll, ist unklar.

Allerdings hätte Chris Rowen wohl anders als John East die Multi-Core-Architekturen nicht auf die Liste der Techniken gesetzt, die bereits am Ende ihrer Möglichkeiten angekommen sind. Der CEO von Tensilica jedenfalls setzt auf die parallele Verarbeitung, um Energieaufnahme zu sparen.

Die Grundüberlegung: Ersetzt man einen Block durch zwei, verdoppelt sich zuerst einmal die Fläche, dafür kann man aber die Taktfrequenz und die Spannungsversorgung um die Hälfte reduzieren, was bei gleichem Durchsatz die Leistungsaufnahme auf ein Viertel reduziert. Dieses sehr abstrakte Beispiel funktioniert offenbar in der Realität: »Unsere Cores sind bereits bis hinunter zu einer Spannungsaufnahme von 0,6 V charakterisiert«, so Chris Rowen.

Der entscheidende Durchbruch gelingt seiner Meinung nach dadurch, dass man die Leistungsaufnahme nicht nur durch die Einführung von MultiCores deutlich senkt, sondern die Prozessoren auf ihre jeweiligen Applikationen zuschneidet. Dadurch kann bei gleichbleibend geringer Leistungsaufnahme die Performance der ICs um den Faktor 10 erhöht werden.

Den ersten Schritt können die Anwender mit der Diamond-Familie gehen, den zweiten mit den XtensaICs, die im Durchschnitt aus vier Cores bestehen. Während es sich bei den Diamond-ICs um IPs handelt, die der Anwender direkt für eine bestimmten Anwendung übernehmen kann, muss er die IPs der Xtensa-Familie selber auf seine Anwendung optimieren. Das ist laut Rowen auch nur ein kleiner Schritt, der in der Tensilica-Umgebung auch für Ungeübte in schneller Zeit zu lernen sei. Doch offenbar scheuen viele Anwender davor zurück, selber die Konfigurierung durch-



Chris Rowen, Tensilica

» Unsere Cores sind bereits bis hinunter zu einer Spannungsaufnahme von 0,6 V charakterisiert. «

zuführen, weil dies immer noch im Rufe steht, erheblichen Aufwand zu erfordern. Es werde eben eine Weile dauern, bis sich unter den Ingenieuren herumspreche, dass konfigurierbare Chips mit paralleler Verarbeitung bei weitem nicht mehr die schwer zu zähmenden Monster sein müssen, die sie vor vielen Jahren einmal waren. Was gewinnt man durch die Anpassung? »Ein optimierter Befehl kann zwischen 5 und 50 RISC-Befehle ersetzen«, so Rowen.

Den Schlüssel für ein energieeffizientes Design sieht er darin, Multicore-Designs für die Data-Plane-Anwendungen (Video- und Audio-Kommunikation) zu nutzen, wo die Vorteile der parallelen Verarbeitung offensichtlich sind, und sie mit der Control-Ebene zu verbinden. Leider ist es sehr schwierig, auf der Control-Ebene mehrere Cores parallel zu verwenden.

Dieses Problem geht Tensilica jetzt mit einem neuen Graphical-User-Interface für seinen Xenergy-Estimator an. Der Xenergy Estimator berechnet die Energieaufnahme für eine spezifische Last auf einer möglichen Prozessorkonfiguration. So lassen sich

verschiedene Konfigurationen durchspielen, die Ergebnisse werden grafisch angezeigt. Für bestimmte Aufgaben – Dot-Produkt, AES, Viterbi, FFT – lässt sich die Energieaufnahme um die Faktoren 2 bis 83 reduzieren. Das Tool ermöglicht es darüber hinaus, die Energieaufnahme verschiedener Prozessoren mit verschiedenen Befehls- und Daten-Cache-Größen, RAM- und ROM-Größen und vielen weiteren Xtensa-Konfigurationsoptionen abzuschätzen. Sogar wenn die Prozessor-Konfiguration schon abgeschlossen und das SoC gefertigt ist, lässt sich der Xenergy-Estimator noch nutzen, um den C-Code zu optimieren und dadurch die Energieaufnahme des Prozessors und seiner Speicher zu senken. Der Xenergy Estimator zeigt den Entwicklern die Hot Spots im Code, die zu den meisten Prozessor-Zyklen und den meisten Speicherzugriffen führen.

Chris Rowen meint, damit einen Durchbruch geschafft zu haben: »Das führt zu den ultimativ energieeffizienten Prozessoren. Damit visieren wir einen Markt an, der sehr viel größer ist als die 14 Mrd. Dollar, die Xilinx für sich entdeckt hat.« (ha) ■